

# LIQUID CRYSTAL DISPLAY PANEL

Publication number: JP62124529

Publication date: 1987-06-05

Inventor: KONDO SHUJI; KITAHIRO ISAMU

Applicant: MATSUSHITA ELECTRIC IND CO LTD

Classification:

- international: G02F1/136; G02F1/133; G02F1/1335; G02F1/1368;  
G09F9/35; G02F1/13; G09F9/35; (IPC1-7): G02F1/133;  
G09F9/35

- european:

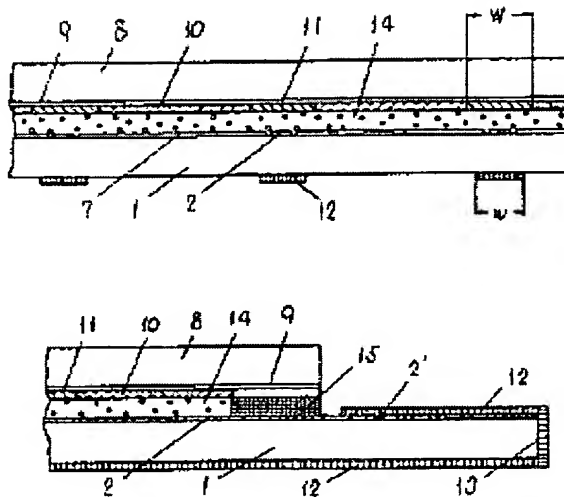
Application number: JP19850264086 19851125

Priority number(s): JP19850264086 19851125

Report a data error here

## Abstract of JP62124529

**PURPOSE:** To reduce delay time for signal in a gate bus line due to influence of wiring resistance to a half and to prevent deterioration of quality of moving image by connecting both ends of a gate bus wiring having long wiring length and great wiring resistance with a wiring layer having low resistance to reduce thus the substrate wiring length to a half. **CONSTITUTION:** A wiring layer is formed using a metallic material having low specific resistance such as Al, Au, Ag, Cu as a bypath line 12 of a gate bus line on the rear surface of a main glass substrate 1 corresponding to the gate bus line 2 formed on the principal face of a main glass substrate 1. The wiring width W of the wiring layer is regulated to be equal or smaller to or than the width W of a light shielding layer 11 of a color filter 10 arranged to the gate bus line 2. The wiring for the bypath line 12 formed on the rear side of the main glass substrate 1 is connected on the principal face to an electrode terminal 2' of the gate bus line 2 formed on the principal face after it has passed the end wall 13 area of the main glass substrate 1. Further, the electrode terminal 2' of the gate bus line 2 at the end part of the opposite side of a LCD panel is connected similarly to the bypath line 12.



## ⑫ 公開特許公報(A)

昭62-124529

⑬ Int.Cl.<sup>4</sup>

識別記号

庁内整理番号

⑭ 公開 昭和62年(1987)6月5日

G 02 F 1/133

3 2 7

8205-2H

G 09 F 9/35

3 0 4

8205-2H

6731-5C

審査請求 未請求 発明の数 1 (全4頁)

⑮ 発明の名称 液晶表示パネル

⑯ 特 願 昭60-264086

⑰ 出 願 昭60(1985)11月25日

⑱ 発 明 者 近 藤 修 司 門真市大字門真1006番地 松下電器産業株式会社内

⑲ 発 明 者 北 廣 勇 門真市大字門真1006番地 松下電器産業株式会社内

⑳ 出 願 人 松下電器産業株式会社 門真市大字門真1006番地

㉑ 代 理 人 弁理士 中尾 敏男 外1名

## 明 細 書

## 1、発明の名称

液晶表示パネル

## 2、特許請求の範囲

(1) 主面にTET素子等を形成したガラス基板の裏面に、主面上のゲートバスライン、及びカラーフィルター部に形成した遮光部ライン位置に合致させて、低抵抗配線層を形成し、その低抵抗配線層の両端を、前記ガラス基板の端部において、主面上のゲートバスラインと接続したことを特徴とする液晶表示パネル。

(2) ガラス基板の裏面に形成した低抵抗配線層の巾を、遮光部ラインの巾と同一若しくは狭く形成したことを特徴とする特許請求の範囲第1項記載の液晶表示パネル。

(3) 低抵抗配線層を、Al、Au、Ag、Cu等の低抵抗金属により、形成したことを特徴とする特許請求の範囲第1項記載の液晶表示パネル。

## 3、発明の詳細な説明

産業上の利用分野

本発明は液晶表示パネル(以下、LCDパネルと略称する。)を用いたディスプレイ装置、特に複数枚の大型LCDパネルを貼り合わせて構成する、ディスプレイ装置に適したLCDパネルに関するものである。

## 従来の技術

LCDパネルを用いた表示ディスプレイは、薄型、軽量、低消費電力ディスプレイとして、注目されているが製造技術上の問題から、大型のLCDパネルを得ることが難しいが、近年技術の進歩と共にパネルの大型化が検討され、6型サイズの試作、或はさらに大きい14型対応の開発も為されており、さらにはより大型のディスプレイを構成するために、複数枚の大型LCDパネルを平面配置して貼り合わせた、所謂マルチパネル方式等大型ディスプレイが検討されている。

液晶表示パネルの駆動方式として、スイッチング素子を各画素ごとにガラス基板に配置したアクティブマトリックス表示方式が、単純マトリックス或は多重マトリックス表示方式に比較して、ク

ロストークがない、応答速度が速い等の理由で近年着目されて開発が急がれている。特に薄膜形成技術の進展にともないTFT(Thin-Film Transistor)素子を用いたアクティブマトリックス表示方式の開発が盛んである。

TFT素子を用いたアクティブマトリックス表示方式のLCDパネルは、周知のようにTFT素子を各画素毎にマトリックス配置した主ガラス基板と、透明対向共通電極、及びカラーフィルター(カラーパネルの場合)を有する対向ガラス基板を、 $10\mu\text{m}$ 前後の間隔で樹脂等の封止材料により貼り合わせ、同間隙部に液晶を封入した構造である。

個々のTFT素子はそれぞれゲートバスライン(走査線)ソースバスライン(信号線)に結合しており、またドレインは画素につながっており、ゲートバスライン、ソースバスライン群は、それぞれパネルの端辺部に画素表示領域より引き出され、同部において画像制御回路のドライバーと接続することにより画像表示を行っている。

裏面に、低抵抗な導体配線層からなるゲートバス用バイパス配線層を形成し、同配線層をガラス基板の端面で、主面上のゲートバス配線と結合したものである。

#### 作 用

この構成により、抵抗の高いゲートバスの配線はLCDパネル両端より、遅延のないゲート信号を受けることとなるため、ゲートバス配線内の最大信号遅延を半分にすることができる。

#### 実 施 例

第1図が本発明の実施例を示す断面局部拡大図、すなわちTFT素子を各画素毎にマトリックス配置した主ガラス基板の平面拡大図である第2図のA-A'部断面図である。また第3図は、主ガラス基板の端辺部におけるゲートバスラインの構造を示す断面拡大図であり、第4図は他構造の端辺部におけるゲートバスラインの構造を示す断面拡大図であり、切断面は第2図のB-B'部となる。

さらに、第5図は第2図C-C'の断面図であり、TFT素子部の概略構造を示している。

#### 発明が解決しようとする問題点

LCDパネルのサイズが大型化するに従ってここに使用しているゲートバスライン及びソースバスラインの配線長は必然的に長くなり、バスラインの配線抵抗が及ぼす信号遅延の影響が無視できなくなる。一般的には、ソースバスラインは $A\ell$ 、ゲートバスラインには $M\phi$ を用いて配線を形成することが多いが、ゲートバスラインの $M\phi$ は $A\ell$ に比較して、比抵抗が高く、また形成厚が $A\ell$ の $1/10$ 程度であるため、ゲートバスラインの配線抵抗による信号遅延が問題となる、特に表記のように複数枚のLCDパネルを貼り合わせたディスプレイでは、外部信号回路と接続する電極リード端子が、LCDパネルの片側のみとなるため、特にゲートバスラインの配線抵抗が問題となる。

本発明はこのような配線抵抗の問題点を解決することを目的とするものである。

#### 問題点を解決するための手段

この問題点を解決するために本発明では、主面にTFTなどの能動素子を形成したガラス基板の

図面は説明の便宜上何れも任意の寸法で拡大記載している。

LCDパネルの主ガラス基板1の主面上に構成したTFT素子部は、通常の一般的なLCDパネルのTFT素子と同じ構成である。すなわち第2図、第5図に示すように、主ガラス基板1にはCr配線からなるゲートバスライン2及びゲート電極3、窒化珪素-アモルファスSi-窒化珪素等からなるTFT素子部4、ゲートバスライン2と直交して形成した $A\ell$ 配線からなるソースバスライン5、及びドレイン電極6、さらに同ドレイン電極6に接続されたITO膜電極、すなわち絵素電極7等が、また対向ガラス基板8には、ITO膜などからなる透明対向共通電極9、及びカラーフィルター(カラーパネルの場合)10を有し、同カラーフィルター10部には、さきの主ガラス基板1のTFT素子部4、ゲートバスライン2およびソースバスライン5上に合致させて、ブラックストライプと称する遮光層11が格子状に形成してある。なお14は液晶である。第2図A-A'部

の断面である第1図に示すように、本発明のLCDパネルでは、主ガラス基板1の主面上に形成したゲートバスライン2に合わせて、主ガラス基板1の裏面部に、ゲートバスラインのバイパスライン12を高導電性材料、例えば低比抵抗金属材料であるAl、Au、Ag、Cuを用いて配線層を形成する。すなわち、具体的な一例としては同バイパスライン12を膜厚1 $\mu$ mでAl配線層を形成し、同配線巾Wは、前述のゲートバスライン2上に配置したカラーフィルター10の、遮光層11の巾Wと同等、若しくは小さい寸法となるように設定する。通常、ゲートバスのCr配線層の膜厚は0.1 $\mu$ m、遮光層11の巾WはTFT素子部4を覆う寸法に設定するため、ゲートバス配線巾の2~4倍であり、またAlの比抵抗はCrの約1/6であるため、上記バイパスライン12の抵抗は、ゲートバスライン2の抵抗より約2桁低い値で形成することになる。

第3図はゲートバスライン2のLCDパネル端面、所謂引出し電極端子部の断面図であり、第2

いてバイパスライン12との結合をすることになる。

以上のように、LCDパネルの両端のゲートバスライン電極端子部に、主ガラス基板裏面に形成した低抵抗配線ラインを結合することにより、ゲートバス信号(走査線信号)を、LCDパネルの片側の電極端子部から供給した場合であっても、バイパスライン12によりゲートバス信号は、実質的にはゲートバスラインの両端から供給されることになり、LCDパネル内のゲートバス配線抵抗は見かけ上1/2に低下するため、同配線抵抗に起因する信号遅延時間を半減させることができる。

また、バイパスライン12の巾Wは、前述のようにカラーフィルター部の遮光層11の巾Wと同一若しくは狭い構成としてあるため、バイパスライン12を主ガラス基板1の裏面に形成しても、開孔率を損なうことはない。

発明の効果

以上のように本発明によれば、配線長が長く配

図B-B'部すなわちゲートバスライン2のLCDパネル端部における縦断面図である。

主ガラス基板1の裏面に形成したバイパスライン12配線は、主ガラス基板1の端壁面13領域を経て、主面上において、同主面上に形成したゲートバスライン2の電極端子部2'に接続結合する。また、図示していないLCDパネルの反対側端部のゲートバスライン2の電極端子部2'についても、同様にバイパスライン12との接続結合を行なう。なお第3図では、バイパスライン12の配線とゲートバスライン2の結合を、主面上の電極端子部2'で行ったが、ゲートバスライン2の電極端子部2'を端壁面13領域及び裏面まで延長し、裏面においてバイパスライン12配線と結合する構造であってもよい。

特に、第4図のようにLCDパネルの一方の端面には、電極端子部2'を形成せず、液晶14の封止部15近傍をパネルの端面とした構造のLCDパネルでは、ゲートバスライン2をパネルの端壁面13領域を経て裏面まで延長し、パネル裏面にお

線抵抗の大きい、ゲートバス配線の両端を低抵抗配線層で接続することにより、実質的な配線長は半分となり、配線抵抗の影響に起因したゲートバスライン中の信号遅延時間を半減させ、動画像品位の低下を防止する効果がある。

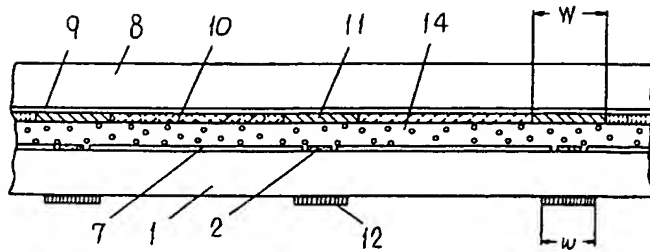
#### 4、図面の簡単な説明

第1図は本発明の液晶表示パネルの一実施例を示す断面局部拡大図、第2図は主ガラス基板の平面拡大図、第3図は主ガラス基板の端部部を示す断面拡大図、第4図は本発明の他の実施例による構造の端部部の断面拡大図、第5図はTFT素子部の概略構造を示した断面拡大図である。

1……主ガラス基板、2……ゲートバスライン、2'……電極端子部、3……ゲート電極、4……TFT素子部、5……ソースバスライン、6……ドレイン電極、7……絵素電極、8……対向ガラス基板、9……透明対向共通電極、11……遮光層、12……バイパスライン、14……液晶。

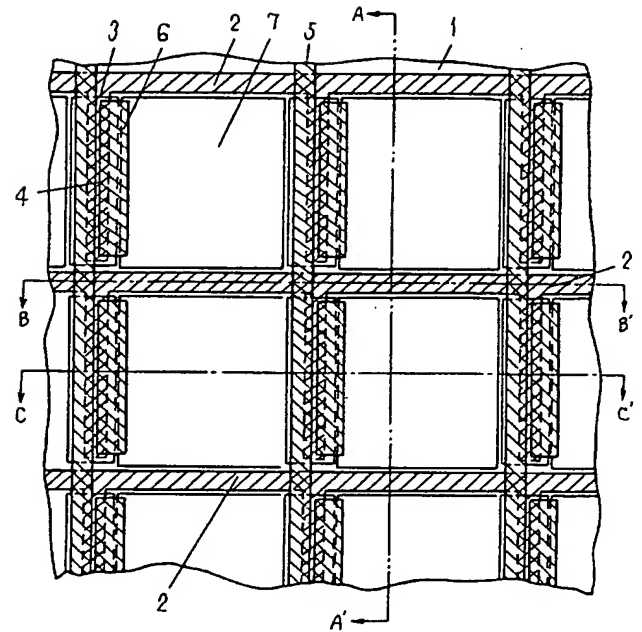
代理人の氏名 弁理士 中 尾 敏 男 ほか1名

第 1 図

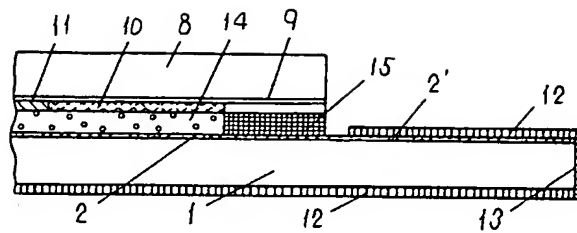


- 1---主ガラス基板
- 2---ゲートバースライン
- 7---給電電極
- 8---対向ガラス基板
- 9---透明対向共通電極
- 11---遮光層
- 12---バースライン
- 14---液晶

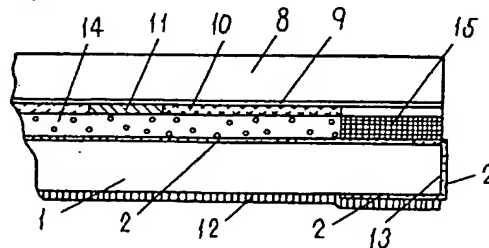
第 2 図



第 3 図



第 4 図



第 5 図

